

High-k ゲート絶縁膜の現状とその将来展望 –希土類系材料を中心として–

Current Status and Future View for High-k Gate Insulator –Focusing on Rare Earth Materials–

東工大フロンティア研¹, 東工大総理工², ○岩井洋¹, Parhat Ahmet¹, 角嶋邦之²,
Tokyo Tech. FRC¹, Tokyo Tech. IGSSE², ○H. Iwai¹, P. Ahmet¹, K. Kakushima²
iwai.h.aa@m.titech.ac.jp

微細化と低電圧化を阻む最大の要素としてゲート絶縁膜の薄膜化が挙げられる。この解決策として Intel など集積回路メーカーは HfO₂ 系の high-k (高誘電率) ゲート絶縁膜技術 (第 1 世代 high-k 技術) を開発し、EOT=1nm の薄膜化を達成した (図 1)。しかしながら、HfO₂ は Si と直接接合を形成した場合、キャリア移動度の大幅な劣化が生じるため、直接接合を用いることを避け、界面に SiO₂ や SiON などの界面層を挿入している。この界面層は誘電率が低く、且つ、界面層の膜厚として 0.3~1.0 nm が特性劣化抑制に必要となるため、今後 10 年程度で達成しなければならない EOT=0.5nm を実現することは不可能である。そのため、新たに Si と直接接合が実現できる第 2 世代の high-k ゲートスタック技術の開発が緊急の課題となっている (図 1)。

また、ゲート絶縁膜の薄膜化は低電圧化を阻む素子特性のばらつきを抑制する上でも大変に重要である。素子を小さくする程、閾値電圧など素子特性のばらつきが大きくなる傾向にあるが、低電圧化を阻む大きな要因はこの閾値電圧のばらつきである。極端な例では電源電圧が閾値電圧のばらつきより小さいとトランジスタがオンしないことになる。このばらつきはゲート絶縁膜をゲート長に比例して縮小することである程度抑制することができる。ゲート絶縁膜を縮小しないで、ゲート長のみを縮小すると、ゲート電圧によるチャネル電位の制御性が弱まって短チャネル効果が顕著になりゲート長のばらつきなどに起因する閾値電圧のばらつきが大きくなるからである。High-k/Metal Gate の導入によって EOT をスケールリング則に従って小さくすることで閾値電圧のばらつきを抑えることができる。このようにして第 2 世代の high-k を開発し、EOT をスケールリング則に従って縮小していくことによって、高性能化とともに電源の低電圧化による省エネ化が可能となる。

High-k ゲート絶縁膜技術の開発は 2 年ほど前に Intel が初めて商品化に成功して以来、日本ではもう終わったかのような雰囲気があり、High-k に関しての国や産学のプログラムも粗方終息の方向にあるが、今は EOT=1nm の第一世代の High-k の導入に成功したばかりの段階である。High-k は微細化や低電圧化の要の技術であり、クールアースやグリーン IT などの省エネ技術にとって大変に有効な技術である。今後国としても、第 2 世代、第 3 世代の High-k 技術の研究開発を大いに振興していくことが重要であると思われる。

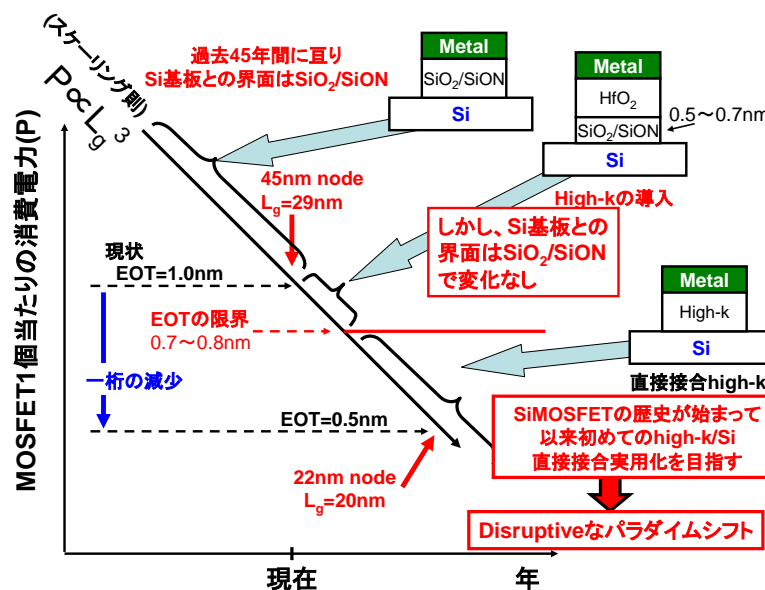


図1 High-k絶縁膜の今後のトレンド(数値はITRS2007)